

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-105685

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G11C 11/41
// G11C 17/14

(21)Application number : 05-252877

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 08.10.1993

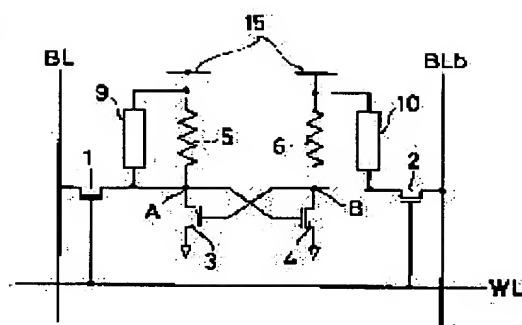
(72)Inventor : SHIBATA KEIJI

(54) SEMICONDUCTOR STORAGE CIRCUIT

(57)Abstract:

PURPOSE: To shorten a manufacturing time by adding fuse elements to pull-up elements of a cross-coupled inverter constituting respective storage elements in a semiconductor storage circuit in parallel.

CONSTITUTION: In the semiconductor storage circuit, the fuse elements 9, 10 whose resistance values are changed by making flow current of a fixed value or above are added to high resistance loads (pull-up elements) 5, 6 of two pieces of cross-coupled inverters constituting the storage elements in parallel. Thus, this circuit is used for an SRAM having a function of a ROM by setting the required initialization data as the ROM data in a field by a user. Moreover, since the user sets the required initialization data as the ROM data in the field for the semiconductor storage circuit whose semiconductor manufacturing process is ended, the manufacturing time of a semiconductor circuit initialized by a prescribed value is shortened.



LEGAL STATUS

[Date of request for examination] 28.09.2000

[Date of sending the examiner's decision of rejection] 04.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-105685

(43) 公開日 平成7年(1995)4月21日

(51) Int. Cl.[°]
G11C 11/41
// G11C 17/14

識別記号

F I

G11C 11/40
17/06

Z
B

審査請求 未請求 請求項の数 1 O L (全5頁)

(21) 出願番号 特願平5-252877

(22) 出願日 平成5年(1993)10月8日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 柴田 啓次

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

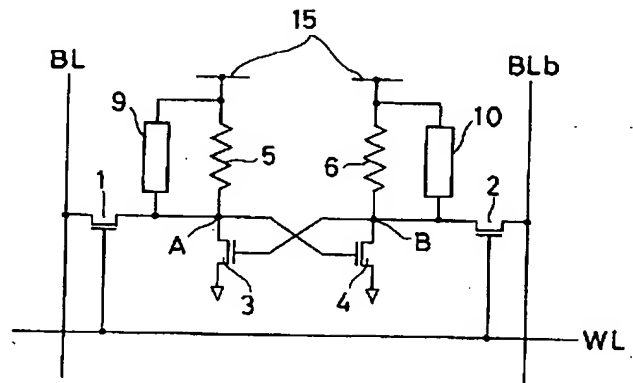
(74) 代理人 弁理士 渡辺 望稔 (外1名)

(54) 【発明の名称】 半導体記憶回路

(57) 【要約】

【目的】 半導体記憶回路の記憶素子を構成するクロスカプルされた2個のインバータの負荷に並列に、一定値以上の電流を流すことにより抵抗値が変化するヒューズ素子を付加することにより、所望の初期化データを必要な時に設定できるようにした半導体記憶回路の提供。

【構成】 クロスカプルされた2個のインバータを記憶素子とする半導体記憶回路であって、前記インバータの負荷に並列にヒューズ素子を接続したことにより、上記目的を達成する。



【特許請求の範囲】

【請求項1】クロスカップルされた2個のインバータを記憶素子とする半導体記憶回路であって、前記インバータの負荷に並列にヒューズ素子を接続したことを特徴とする半導体記憶回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶回路に関し、特に、その記憶素子構成にROM（リード・オンリー・メモリ）機能を有するSRAM（スタティック・ランダム・アクセス・メモリ）などの半導体記憶回路に関するものである。

【0002】

【従来の技術】半導体記憶回路の集積度は年々飛躍的に向上しており、現在では莫大な記憶容量が1つの半導体記憶回路に集積されるようになってきている。しかし、SRAMの様に記憶回路が揮発性の場合、それを使用している装置、機器で電源投入時に記憶回路をそのつどある初期状態に書き込む必要がある。そのため、高価なEPROMや別途初期化専用のROMを用意していた。

【0003】図3に、従来の半導体記憶回路（SRAM）の構成回路図を示す。図3に示す半導体記憶回路は、Nチャネルトランジスタ1、2、3、4およびプルアップ素子である高抵抗負荷5、6から構成されている。Nチャネルトランジスタ1および2の一方の端子は、それぞれデータ線BLおよび反転データ線BLbに接続され、他方の端子は、それぞれ内部信号ノードAおよびBに接続され、ゲート端子はワード選択線WLが共通に入力されている。プルアップ素子5、6の一方の端子は、それぞれ電源7、8に接続され、他方の端子は、それぞれ内部信号ノードAおよびBに接続されている。Nチャネルトランジスタ3および4の一方の端子は共に接地され、出力端となる他方の端子は、それぞれ内部信号ノードAおよびBに接続され、それぞれのゲート端子には、たすき掛け状にそれぞれ内部信号ノードBおよびAが入力されており、クロスカップルされている。ここで、Nチャネルトランジスタ3とプルアップ素子5、およびNチャネルトランジスタ4とプルアップ素子6は共にインバータを構成する。

【0004】上記のような構成である従来の半導体記憶回路において、例えばデータとしてHIGHレベルを書き込む場合には、データ線BLおよび反転データ線BLbを、それぞれHIGHレベルおよびLOWレベルにドライブした後、ワード選択線WLをHIGHレベルにする。この時、Nチャネルトランジスタ1および2は共にオン（ON）となるから、内部信号ノードAおよびBは、それぞれNチャネルトランジスタ1および2を介して、データ線BLおよび反転データ線BLbに接続され、それぞれHIGHレベルおよびLOWレベルとなる。また、内部信号ノードAおよびBは、それぞれNチ

ャネルトランジスタ4、3のゲート端子にも入力されているので、Nチャネルトランジスタ3、4はそれぞれオフ（OFF）、オン（ON）となる。Nチャネルトランジスタ3、4の状態が安定した後に、ワード選択線WLをLOWレベルにすれば、データの書き込み動作は完了する。

【0005】次に、前記の状態からデータとしてHIGHレベルを読み出す場合には、データ線BL、反転データ線BLbのドライブを打ち切ってフローティング状態にした後に、ワード選択線WLをHIGHレベルにする。この時、Nチャネルトランジスタ1および2は共にオン（ON）となるから、データ線BLおよび反転データ線BLbはNチャネルトランジスタ1、2を介して、内部信号ノードAおよびBに接続され、それぞれHIGHレベルおよびLOWレベルが出力される。ワード選択線WLをLOWレベルとすることによって、データの読み出し動作は完了する。なお、データとしてLOWレベルを書き込み、読み出す場合もデータとしてHIGHレベルを書き込み、読み出す場合と同様に動作する。

【0006】図3に示す従来の半導体記憶回路においては、プルアップ素子5、6にはほぼ同等の抵抗値が設定されており、また、その一方の端子には同電位の電源7、8が接続されている為、電源投入時には、プルアップ素子5、6の僅かな抵抗値の違いによって、内部信号ノードAおよびBがHIGHレベルまたはLOWレベルのいずれかに確定する。即ち、半導体記憶回路の各記憶素子の初期状態は不確定である。したがって、半導体記憶回路の各記憶素子を所望の値に初期化したい場合には、初期化したい全ての記憶素子に対して所望の値を書き込まなければならないので、初期化作業に時間がかかりすぎるという問題点がある。

【0007】このため、図3に示すSRAMにおいて初期化した時に初期化データが顕在化し、ROMデータとして読み出すことが可能な機能、すなわちROM機能を持たせる場合、インバータの特性、例えばプルアップ素子（高負荷抵抗）5と6の抵抗値やドライバトランジスタ3と4のしきい値などを、予め製造時に潜在化させるROMデータに対応してアンバランスさせておき、電源投入時または電源再投入時にROMデータを顕在化させていた。しかしながら、このような半導体記憶回路において、インバータの特性のアンバランスがあまり小さいとROMデータの顕在化に時間がかかったり、不安定になるし、逆にインバータ特性のアンバランスがあまり大きいとSRAMとしての動作が不安定になる恐れもある。

【0008】そこで、図3に示すSRAMにROMとしての機能を持たせるために、特開平2-218093号に開示されているように、プルアップ素子5、6の一方の端子に接続されている電源7、8を別々の独立した互いに異なる電位の電源とし、例えば電源7を高電位電源

とし、電源 8 を低電位電源とするものもある。電源投入時、電源 7 が電源 8 より高電位であるため、電源 8、プルアップ素子 6 を介した内部信号ノード B より、電源 7、プルアップ素子 5 を介した内部信号ノード A の方が先に N チャネルトランジスタのしきい値より高くなるため、N チャネルトランジスタ 4 がオン (ON) となり、内部信号ノード B は LOW レベルとなり、N チャネルトランジスタ 3 はオフ (OFF) したままであり、内部信号ノード A は HIGH レベルとなる。こうして、半導体記憶回路が電源投入時に所定の ROM データを顕在化できるように、その各々の素子は上記の様に初期化されることになる。この半導体記憶回路を通常の SRAM として用いる場合、あるいは顕在化させた ROM データを読み出す場合には、両電源 7 と 8 を同電位として従来通りのメモリ動作を行なわしめることができる。このような電源 7 と 8 の両電位を異ならしめたり、同電位にしたりするのは、異なる電位の電源への接続の切り換えまたは、同電位電源の投入タイミングをずらすことにより行なっている。しかし、半導体記憶回路の各記憶素子に対して、所定の ROM データが潜在するように各々の設定をしようとする場合にはプルアップ素子 5、6 の一方の端子に高電位電源 7 または低電位電源 8 のどちらを接続するのかを、あらかじめ決めておかなければならない。この為、初期化データ (潜在 ROM データ) を半導体記憶回路の製造時に作り込んでおかなければならず、所望の初期値で初期化された半導体記憶回路を製造するには時間がかかり、製品納期の TAT が長くなるという問題点があった。

【0009】

【発明が解決しようとする課題】本発明は、前記従来技術に基づく種々の問題点をかえりみて、半導体記憶回路の記憶素子を構成するクロスカップルされた 2 個のインバータの負荷に並列に、一定値以上の電流を流すことにより抵抗値が変化するヒューズ素子を付加することにより、所望の初期化データを ROM データとしてユーザがフィールドで必要な時に設定できるようにした半導体記憶回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成する為に、本発明は、クロスカップルされた 2 個のインバータを記憶素子とする半導体記憶回路であって、前記インバータの負荷に並列にヒューズ素子を接続したことを特徴とする半導体記憶回路を提供するものである。ここで、前記ヒューズ素子は、一定値以上の電流を流した時にその抵抗値が増大した所定値に設定されるヒューズ、または一定値以上の電流を流した時にその抵抗値が低下した所定値に設定されるアンチヒューズであるのが好ましい。

【0011】

【発明の作用】本発明の半導体記憶回路は、記憶素子を

構成するクロスカップルされた 2 個のインバータの高抵抗負荷 (プルアップ素子) に並列に、一定値以上の電流を流すことにより抵抗値が変化するヒューズ素子を付加したから、所望の初期化データを ROM データとしてフィールドでユーザが設定することによって ROM の機能を持った SRAM として使用することができるものである。しかも、半導体製造工程の終了した半導体記憶回路に対して、所望の初期化データを ROM データとしてユーザがフィールドで設定できるので、所望の初期値で初期化された半導体記憶回路の製造に時間がかからないし、さらに、所望の初期化データを一旦設定すれば、初期化に要する時間は必要ない。なお、クロスカップルされた 2 個のインバータを記憶素子とするというのは、2 個のインバータのそれぞれの出力端をたすき掛け状に互いの入力端に入力した記憶素子のことである。

【0012】

【実施例】本発明に係わる半導体記憶回路を、添付の図面に示す好適実施例に基づいて詳細に説明する。

【0013】図 1 は本発明の半導体記憶回路の一実施例の構成回路図である。同図に示した実施例では代表的にヒューズ素子として、アンチヒューズを使用した一例を示すが、本発明はこれに限定されるわけではない。図 1 に示した本発明の半導体記憶回路は図 3 に示した従来の半導体記憶回路と、高負荷抵抗であるプルアップ素子 5 および 6 と並列にそれぞれアンチヒューズ 9 および 10 が付加されている点と、電源 7 および 8 の代わりに 1 つの電源 15 を使用している点を除いて同様であるので、同一の構成要素には同一の符号を付し、その詳細な説明は省略する。したがって、アンチヒューズ 9、10 の一方の端子は同じ電源 15 に接続され、もう一方の端子は、それぞれ内部信号ノード A および B にそれぞれ接続されている。

【0014】図 2 は、図 1 に示した本発明の半導体記憶回路の電源 15 に供給する電源の電源切回路の一実施例の構成回路図である。図 2 に示した電源切回路は、N チャネルトランジスタ 13、14 から構成されている。N チャネルトランジスタ 13 および 14 の一方の端子には、それぞれ高電圧電源 11 と通常電源 12 が接続され、もう一方の端子は短絡されて図 1 に示した電源 15 に接続されている。また、ゲート端子には、それぞれプログラム線 PL および反転プログラム線 PLb が入力されている。なお、前述の通常電源 12 とは、一般に半導体集積回路に使用されている電圧の電源であって、例えば代表的に 3V、5V 等が挙げられる。これに対して、高電圧電源 11 とは、通常電源 12 に比べて高い電圧の電源であって、例えば代表的に 10V、15V 等が挙げられる。

【0015】上記の様な構成の実施例において、アンチヒューズ 9 および 10 は開放 (OPEN) の状態であるので、従来の SRAM セルとして従来と全く同様に機能

する。従って、ここでは通常データ書き込み、データ読み出し動作については、前記従来例と全く同様であるので省略する。但し、この場合、図 2 に示した電源切換回路においてプログラム線 PL および反転プログラム線 PLb は、それぞれ LOW レベル、HIGH レベルが設定されており、電源 15 には通常電源 12 が供給されているものとする。

【0016】次に、ユーザ所望のデータを ROM 化する場合、すなわち初期化する場合の動作について説明する。ユーザ所望の ROM データを ROM 化させたい場合、まずその ROM データの反転データを初期化データとして SRAM セルに書き込む。ここでは、初期化データ（反転 ROM 化データ）として、内部信号ノード A および B にそれぞれ HIGH レベル、LOW レベルが設定されているものとする。この設定後の状態において、N チャネルトランジスタ 1 および 2 はオフ（OFF）、N チャネルトランジスタ 3 および 4 はそれぞれオフ（OFF）およびオン（ON）となっている。図 2 に示した電源切換回路において、プログラム線 PL および反転プログラム線 PLb をそれぞれ HIGH レベル、LOW レベルに設定し、電源 15 として高電圧電源 11、例えば 10 V 電源を供給すると、電源 15 と保持ノードデータが LOW レベルである内部信号ノード B との間のプルアップ素子 6 に並列に接続されたアンチヒューズ 10 にも高電圧が印加される。この為、アンチヒューズ 10 は抵抗値が低下し、ある有限の値を持つ抵抗素子となる。一方、アンチヒューズ 9 には、N チャネルトランジスタ 3 がオフ（OFF）なので、高電圧は印加されず開放（非接続）の状態を保持している。従って、電源 15 と内部信号ノード B との間の高抵抗負荷であるプルアップ素子 6 のみにある有限の値（所定低抵抗値）を持つ抵抗素子となったアンチヒューズ 10 が並列に付加されたことになるので、クロスカプルされたインバータにはアンバランスが組み込まれたことになる。

【0017】上記の様にして初期化された半導体記憶回路の電源 15 を両プログラム線 PL、PLb を共に LOW レベルにして一旦遮断し、この後、プログラム線 PL および反転プログラム線 PLb をそれぞれ LOW レベル、HIGH レベルに設定し、電源 15 に通常電源 12 を再度供給した場合、クロスカプルされたインバータにはアンバランスが組み込まれているため、すなわち、低抵抗値のアンチヒューズ 10 とプルアップ素子 6 の合成抵抗値は、開放または高抵抗値のアンチヒューズ 9 とプルアップ素子 5 の合成抵抗値よりも、小さくなっているため、内部信号ノード A および B には初期値として、すなわち ROM データとしてそれぞれ、LOW レベル、HIGH レベルが設定され、先に書き込まれた ROM データが顕在化し、直ちに上述した SRAM 読み出しと同様な、読み出し動作を行なうことができる。

【0018】さて、前記実施例では、まず、初期化デー

タとして、内部信号ノード A および B にそれぞれ HIGH レベル、LOW レベルが設定されているとして説明してきたが、実際に電源を一旦遮断し、再度供給した場合には、ROM 化された初期値（ROM データ）として内部信号ノード A および B にはそれぞれ、LOW レベル、HIGH レベルが設定されている。したがって、ヒューズ素子としてアンチヒューズ 9、10 を使用した場合には、ROM データ（初期値）として設定したいデータの反転データ（反転 ROM データ）を初期化データとして設定する必要があることになる。

【0019】また、上記の初期化が終了すると、低抵抗値のアンチヒューズ 10 とプルアップ素子 6 の合成抵抗値は、開放または高抵抗値のアンチヒューズ 9 とプルアップ素子 5 の合成抵抗値よりも小さくなっているが、プルアップ素子 6 の高負荷抵抗値と低抵抗値の抵抗素子としてのアンチヒューズ 10 の抵抗値とをオーダー的に同程度のものにすれば、クロスカプルされたインバータのアンバランスもさほど大きくないため、初期化が終了した後も SRAM として動作させることができることはいうまでもない。さらに、低抵抗値のアンチヒューズ 10 およびプルアップ素子 6 を通して流れる電流量が増加するが、N チャネルトランジスタ 1、2 およびデータ線 BL、反転データ線 BLb をドライブするトランジスタの駆動能力は、LOW レベルを確定できるだけの十分な大きさに設計することもいうまでもない。

【0020】なお、上記実施例においてはアンチヒューズを使用した一例を示したが、ヒューズを使用しても実施できる。ヒューズを使用した場合には、ヒューズに一定値以上の電流を流した時にヒューズの抵抗値が上昇するためもしくはヒューズが断線するため、前述のアンチヒューズを使用した実施例のように反転データを初期値として書き込む必要はなく、初期化したい値を書き込めば良い。さらに、プルアップ素子 5、6 の代わりにゲート信号として、それぞれ内部信号 B および A を接続した P チャネルトランジスタや、ゲート信号を接地した P チャネルトランジスタや、ゲート信号を電源に接続した N チャネルトランジスタでも同様な効果が得られることは当然である。さらに、電源切換回路として N チャネルトランジスタを使用した一例を示したが、本発明はこれに限定されることなく、セレクトタなどのように高電圧と低電圧を選択出力することができれば、どのような回路でも良い。

【0021】

【発明の効果】以上詳細に説明した様に、本発明によれば、半導体記憶回路の各記憶素子を構成しているクロスカプルされたインバータのプルアップ素子と並列に、ヒューズ素子を付加することにより、半導体製造工程の終了した半導体記憶回路例えば SRAM に対して、ユーザがフィールドで所望の初期化データ、すなわち ROM データを設定できるので、所望の初期値で初期化された

半導体記憶回路の製造に時間がかからないという効果がある。さらに、本発明によれば所望の初期化データを一旦設定すれば、初期化に要する時間が必要ないという効果もある。また、本発明によれば、SRAMなどの半導体記憶回路にROMとしての機能を潜在化させておくことができ、またユーザがフィールドでこのROMデータを顕在化した後も、SRAMとして作動させることも可能である。

【図面の簡単な説明】

【図 1】 本発明に係わる半導体記憶回路の一実施例の構成回路図である。

【図 2】 本発明に係わる半導体記憶回路に用いられる電源切換回路の一実施例の構成回路図である。

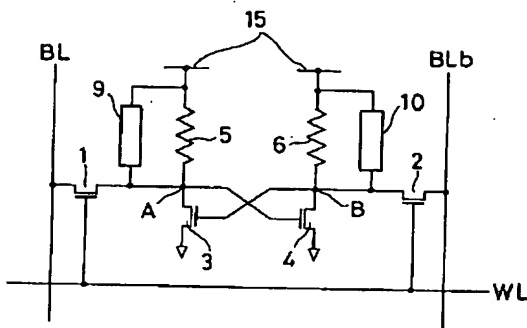
【図 3】 従来の半導体記憶回路の一従来例の構成回路

図である。

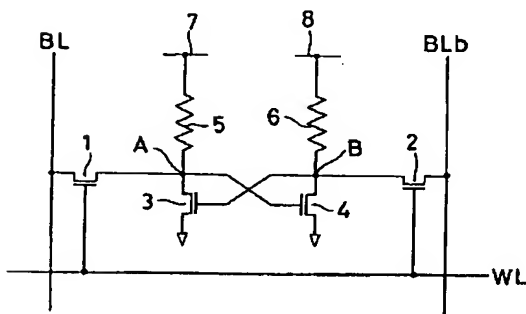
【符号の説明】

- 1、2、3、4、13、14 Nチャネルトランジスタ
- 5、6 プルアップ素子（高抵抗負荷）
- 7、8、15 電源
- 9、10 ヒューズ素子
- 11 高電圧電源
- 12 通常電源
- A、B 内部信号ノード
- BL データ線
- BLb 反転データ線
- WL ワード選択線
- PL プログラム線
- PLb 反転プログラム線

【図 1】



【図 3】



【図 2】

